

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0062844
Application Number

출원년월일 : 2002년 10월 15일
Date of Application OCT 15, 2002

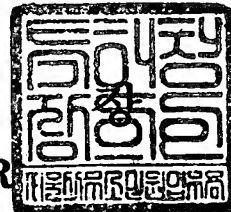
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2002.10.15
【발명의 명칭】 파이프라인 구조를 갖는 다단 A/D 컨버터 및 그것을 설계하기 위한 코딩 방법
【발명의 영문명칭】 MULTI-STAGE ANALOG TO DIGITAL CONVERTER WITH PIPELINE STRUCTURE AND CODING METHOD FOR DESIGNING IT
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9
【발명자】
【성명의 국문표기】 유승빈
【성명의 영문표기】 YOU, SEUNG BIN
【주민등록번호】 690129-1011021
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 신나무실 풍림아파트 602동 1101호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 파이프라인 구조를 갖는 다단 A/D 컨버터에 관한 것으로, 아날로그 입력신호를 수신하여 샘플링하고 홀딩하는 샘플 앤드 홀더와 복수의 단으로 구성되고 샘플 앤드 홀더의 출력을 수신하고 원하는 수의 비트를 갖는 디지털 데이터를 발생시키는 컨버터부와 전 단 컨버터에서 오프셋 에러가 발생했을 때 전 단의 최하위 비트와 후 단의 최상위 비트를 중첩하여 보정하고 컨버터부의 각 단으로부터 디지털 출력신호를 수신하여 디지털 출력 데이터를 출력하는 보정회로로 구성된 파이프라인 구조를 갖는 다단 A/D 컨버터에 있어서, 컨버터부의 제 2 단에는 제 1 단에서 발생한 에러를 보정하기 위한 에러보정 비트를 두고 제 3 단 이하에서는 에러보정 비트를 두지 않는 것을 특징으로 한다.

본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터는 회로가 간단하여 반도체 칩으로 구현 시 칩 면적을 적게 차지하고 전력소모가 적다.

【대표도】

도 3

【명세서】

【발명의 명칭】

파이프라인 구조를 갖는 다단 A/D 컨버터 및 그것을 설계하기 위한 코딩 방법
 {MULTI-STAGE ANALOG TO DIGITAL CONVERTER WITH PIPELINE STRUCTURE AND CODING METHOD
 FOR DESIGNING IT}

【도면의 간단한 설명】

도 1은 A/D 컨버터를 설계하기 위한 종래의 코딩 방법을 나타내는 도면이다.

도 2는 A/D 컨버터를 설계하기 위한 본 발명에 따른 코딩 방법을 나타내는 도면이다.

도 3은 도 2에 도시된 본 발명의 코딩 방법에 따라 설계된 파이프라인 구조를 갖는 다단 A/D 컨버터를 나타내는 도면이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 샘플 앤드 홀더	20 : 제 1 단 컨버터
30 : 제 2 단 컨버터	40 : 제 3 단 컨버터
50 : 제 4 단 컨버터	60 : 보정회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 파이프라인 구조를 갖는 다단 A/D 컨버터(Multi-stage A/D Converter) 및 그것을 위한 코딩 방법에 관한 것으로, 특히 회로가 간단하여 반도체 칩으로 구현 시

칩 면적을 적게 차지하고 전력소모가 적은 파이프라인 구조를 갖는 다단 A/D 컨버터에 관한 것이다.

<9> 일반적으로, 파이프라인 구조를 갖는 A/D 컨버터를 설계할 때, 각 단(stage)에서 발생하는 오프셋 에러를 보정하기 위해 1 비트(bit)를 중첩하는 코딩 기술을 사용한다. 예를 들어, 3 단으로 이루어진 A/D 컨버터에서 10 비트의 데이터를 만들기 위해 제 1 단에서 제 3단까지 각각 4 비트를 갖도록 설계하여, 제 2 단 및 제 3 단에서 1 비트만큼의 영역을 에러보정 영역으로 두어서 전 단의 에러를 다음 단에서 보정한다. 이와 같은 방법으로 A/D 컨버터를 설계할 경우, A/D 컨버터를 구성하는 각 단의 면적과 전력소모는 보정 비트를 두지 않았을 경우에 비해 2 배정도 된다. 그런데, 오프셋 에러를 보정하지 않으면 A/D 컨버터는 정상적으로 동작하지 않으므로, 파이프라인 구조의 A/D 컨버터에서 에러의 보정은 필수적이다. 도 1은 A/D 컨버터를 설계하기 위한 종래의 코딩 방법을 나타내는 도면이다. 도 1에는 4 단으로 구성되고 14 비트의 데이터를 만들기 위한 A/D 컨버터의 코딩 기술이 나타나 있다. 제 1 단(1st STAGE)은 5 비트로 구성되어 있고, 제 2 단(2nd STAGE) 내지 제 4 단(4th STAGE)은 각각 4 비트로 구성되어 있다. 제 2 단 내지 제 3 단에서 1 비트는 전단에서 발생한 에러의 보정을 위해 사용된다. 도 1에서 정상 영역(NORMAL RANGE)은 전 단에 오프셋 에러가 없어서 전 단의 결과를 그대로 사용하는 영역이고, ADD1과 SUB1은 각각 전 단에 오프셋 에러가 존재할 경우 이것을 후 단에서 감지하여 전단의 결과에 1 비트를 더하거나 빼는 신호이다.

<10> 상술한 바와 같이, 종래에는 파이프라인 구조를 갖는 다단 A/D 컨버터에서

전 단의 에러를 보정하기 위해서 제 2 단 이하 모든 단(stage)의 1 비트를 에러보정 비트로 두었기 때문에 회로가 복잡하고 반도체 칩으로 구현 시 칩 면적을 많이 차지하였고 전력소모도 많았다.

【발명이 이루고자 하는 기술적 과제】

- <11> 상술한 바와 같은 문제점을 해결하기 위하여, 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터는 제 2 단(2nd STAGE)에만 에러보정을 위해 1 비트를 두고 제 3 단(3rd STAGE) 이하의 단에는 에러보정 비트를 두지 않았다.
- <12> 본 발명의 목적은 회로가 간단하여 반도체 칩으로 구현 시 칩 면적을 적게 차지하고 전력소모가 적은 파이프라인 구조를 갖는 다단 A/D 컨버터를 제공하는 것이다.
- <13> 본 발명의 다른 목적은 파이프라인 구조를 갖는 다단 A/D 컨버터의 코딩 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <14> 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터는 아날로그 입력신호를 수신하여 샘플링하고 홀딩하는 샘플 앤드 홀더와 복수의 단으로 구성되고 상기 샘플 앤드 홀더의 출력을 수신하고 원하는 수의 비트를 갖는 디지털 데이터를 발생시키는 컨버터부와 전 단 컨버터에서 오프셋 에러가 발생했을 때 전 단의 최하위 비트와 후 단의 최상위 비트를 중첩하여 보정하고 상기 컨버터부의 각 단으로부터 디지털 출력신호를 수신하여 디지털 출력 데이터를 출력하는 보정회로로 구성된 파이프라인 구조를 갖는 다단 A/D 컨버터에 있어서, 상기 컨버터부의 제 2 단에는 제 1 단에서 발생한 에러를 보정

하기 위한 에러보정 비트를 두고 제 3 단 이하에서는 에러보정 비트를 두지 않는 것을 특징으로 한다.

<15> 상기 컨버터부의 각 단은 상기 샘플 앤드 홀더의 출력을 수신하고 수신된 아날로그 신호에 해당하는 디지털 신호를 발생시키는 플래쉬 컨버터, 및 상기 플래쉬 컨버터로부터 디지털 신호를 수신하여 아날로그 신호로 변환하고 이것과 아날로그 신호인 상기 샘플 앤드 홀더의 출력신호와의 차이를 구해 나머지(residue) 신호를 만들고 이 나머지 신호를 증폭하는 MDAC(Multiplying Digital to Analog Converter)를 구비하는 것을 특징으로 한다.

<16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터에 대해 설명한다.

<17> 도 2는 A/D 컨버터를 설계하기 위한 본 발명에 따른 코딩 방법을 나타내는 도면이다. 도 2에서, 정상 영역(NORMAL RANGE)은 전 단계 오프셋 에러가 없어서 전 단계의 결과를 그대로 사용하는 영역이고, ADD1과 SUB1은 각각 전 단계 오프셋 에러가 존재할 경우 이것을 후 단계에서 감지하여 전단계의 결과에 1 비트를 더하거나 빼는 신호이다. 제 1 단계(1st STAGE)에서 5 비트를 결정하고 이득을 16으로 하여 증폭한 후 제 2 단계(2nd STAGE)으로 전송한다. 제 2 단계(2nd STAGE)의 상부 4 비트와 하부 4 비트는 에러보정 영역으로 사용한다. 제 2 단계(2nd STAGE)에서 4 비트를 결정하고(실제 데이터는 3 비트이고 1 비트는 에러보정용 데이터) 이득을 16으로 하여 증폭하고 제 3 단계(3rd STAGE)으로 전송한다. 제 3 단계(3rd STAGE)에서는 이득을 8로 하여 증폭한 후 제 4 단계(4th STAGE)으로 전송하고, 전체 영역을 모두 데이터 변환 영

역으로 사용한다. 제 4 단에서도 전체 영역을 모두 데이터 변환 영역으로 사용한다. 제 1 단(1st STAGE)의 LSB(Least Significant Bit, 최하위 비트)는 $2V_{REF}/32$ 이고, 제 2 단(2nd STAGE)의 LSB는 $2V_{REF}/16$ 이고, 제 3 단(3rd STAGE)과 제 4 단(4th STAGE)의 LSB는 각각 $2V_{REF}/8$ 이다. 제 2 단(2nd STAGE)에서는 1 비트를 에러보정용으로 두기 때문에 제 1 단(1st STAGE)에서 발생한 에러의 $\pm(1/2)$ LSB 범위의 오프셋 에러를 보정할 수 있고, 제 3 단(3rd STAGE)과 제 4 단(4th STAGE)에서는 에러보정용 비트를 따로 두지 않기 때문에 $\pm(1/8)$ LSB 범위의 오프셋 에러만 보정할 수 있다. 그러나 제 3 단(3rd STAGE)과 제 4 단(4th STAGE)의 LSB 절대값은 $2V_{REF}/8$ 로서 제 1 단(1st STAGE)의 LSB 절대값인 $2V_{REF}/32$ 보다 4 배 커지므로 에러보정 범위의 절대값은 비슷하게 된다. 따라서, 제 2 단(2nd STAGE)에서만 에러보정용으로 1 비트를 두고 제 3 단(3rd STAGE) 이하에서는 에러보정용 비트를 따로 두지 않아도 회로 동작에는 문제가 없다.

<18> 도 3은 도 2에 도시된 본 발명의 코딩 방법에 따라 설계된 파이프라인 구조를 갖는 다단 A/D 컨버터를 나타내는 도면이다. 도 3에 도시된 본 발명에 따른 다단 A/D 컨버터는 5 비트 플래쉬 컨버터(Flash Converter)(22)와 5 비트 MDAC(Multiplying Digital to Analog Converter)(24)로 구성된 제 1 단 컨버터(20), 4 비트 플래쉬 컨버터(32)와 4 비트 MDAC(34)로 구성된 제 2 단 컨버터(30), 3 비트 플래쉬 컨버터(42)와 3 비트 MDAC(44)로 구성된 제 3 단 컨버터(40), 3 비트 플래쉬 컨버터(52)로 구성된 제 4 단 컨버터(50), 및 보정회로(60)를 구비한다.

<19> 이하, 도 3을 참조하여 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터의 동작에 대해 설명한다. 도 3에 도시된 A/D 컨버터는 4 단으로 구성되고 14 비트의 디지털 신호를 만드는데, 제 1 단 컨버터(20)에서는 5 비트, 제 2 단 컨버터(30)에서 3비

트를, 제 3 단 컨버터(40)에서는 3비트를, 제 4 단 컨버터(50)에서 3비트를 만든다. 4 비트로 구성된 제 2 단 컨버터(30)에서 1 비트는 제 1 단 컨버터(20)에서 발생한 에러를 보정하는 데 사용된다.

<20> 샘플 앤드 홀더(10)는 아날로그 입력신호(VIN)를 수신하여 샘플링하고 홀딩하는 기능을 한다.

<21> 제 1 단 컨버터(20)의 5 비트 플래쉬 컨버터(22)는 샘플 앤드 홀더(10)의 출력을 수신하고 수신된 아날로그 신호에 해당하는 5 비트의 디지털 신호를 발생시킨다. 제 1 단 컨버터(20)의 5 비트 MDAC(24)는 5 비트 플래쉬 컨버터(22)로부터 5 비트의 디지털 신호를 수신하여 아날로그 신호로 변환하고 이 값과 아날로그 신호인 샘플 앤드 홀더(10)의 출력신호와의 차이를 구해 나머지(Residue) 신호를 만들고 이 나머지 신호를 증폭하는 기능을 한다. 5 비트 MDAC(24)의 증폭 이득은 16이다.

<22> 제 2 단 컨버터(30)의 4 비트 플래쉬 컨버터(32)는 5 비트 MDAC(24)의 출력을 수신하고 수신된 아날로그 신호에 해당하는 4 비트의 디지털 신호를 발생시킨다. 제 2 단 컨버터(30)의 4 비트 MDAC(34)는 4 비트 플래쉬 컨버터(32)로부터 4 비트의 디지털 신호를 수신하여 아날로그 신호로 변환하고 이 값과 아날로그 신호인 5 비트 MDAC(24)의 출력 신호와의 차이를 구해 나머지(Residue) 신호를 만들고 이 나머지 신호를 증폭하는 기능을 한다. 4 비트 MDAC(34)의 증폭이득은 16이다.

<23> 제 3 단 컨버터(40)의 3 비트 플래쉬 컨버터(42)는 4 비트 MDAC(34)의 출력을 수신하고 수신된 아날로그 신호에 해당하는 3 비트의 디지털 신호를 발생시킨다. 제 3 단 컨버터(40)의 3 비트 MDAC(44)는 3 비트 플래쉬 컨버터(42)로부터 3 비트의 디지털 신호를 수신하여 아날로그 신호로 변환하고 이 값과 아날로그 신호인 4 비트 MDAC(34)의 출

력신호와와의 차이를 구해 나머지(Residue) 신호를 만들고 이 나머지 신호를 증폭하는 기능을 한다. 3 비트 MDAC(44)의 증폭이득은 8이다.

<24> 제 4 단 컨버터(50)의 3 비트 플래쉬 컨버터(52)는 3 비트 MDAC(44)의 출력을 수신하고 수신된 아날로그 신호에 해당하는 3 비트의 디지털 신호를 발생시킨다.

<25> 보정회로(60)는 전 단 컨버터에서 오프셋 에러가 발생했을 때 전 단의 최하위 비트와 후 단의 최상위 비트를 중첩하여 보정하고 각 단으로부터 디지털 출력신호를 수신하여 14 비트인 디지털 출력 데이터(DOUT)를 출력하는 기능을 한다.

<26> 상술한 바와 같이, 제 2 단에서만 에러보정용으로 1 비트를 두고 제 3 단 이하에서는 에러보정용 비트를 따로 두지 않기 때문에, 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터는 반도체 칩으로 구현 시 셋째 단과 넷째 단이 1/2 정도의 칩 면적을 차지하고 전력소모도 줄어들게 되어, 전체적으로 30 % 정도의 면적과 전력소모가 줄어들게 된다.

<27> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<28> 상술한 바와 같이, 본 발명에 따른 파이프라인 구조를 갖는 다단 A/D 컨버터는 회로가 간단하여 반도체 칩으로 구현 시 칩 면적을 적게 차지하고 전력소모가 적다.

【특허청구범위】**【청구항 1】**

아날로그 입력신호를 수신하여 샘플링하고 홀딩하는 샘플 앤드 홀더와 복수의 단으로 구성되고 상기 샘플 앤드 홀더의 출력을 수신하고 원하는 수의 비트를 갖는 디지털 데이터를 발생시키는 컨버터부와 전 단 컨버터에서 오프셋 에러가 발생했을 때 전 단의 최하위 비트와 후 단의 최상위 비트를 중첩하여 보정하고 상기 컨버터부의 각 단으로부터 디지털 출력신호를 수신하여 디지털 출력 데이터를 출력하는 보정회로로 구성된 파이프라인 구조를 갖는 다단 A/D 컨버터에 있어서,

상기 컨버터부의 제 2 단에는 제 1 단에서 발생한 에러를 보정하기 위한 에러보정 비트를 두고 제 3 단 이하에서는 에러보정 비트를 두지 않는 것을 특징으로 하는 파이프라인 구조를 갖는 다단 A/D 컨버터.

【청구항 2】

제 1 항에 있어서, 상기 컨버터부의 각 단은

상기 샘플 앤드 홀더의 출력을 수신하고 수신된 아날로그 신호에 해당하는 디지털 신호를 발생시키는 플래쉬 컨버터; 및

상기 플래쉬 컨버터로부터 디지털 신호를 수신하여 아날로그 신호로 변환하고 이것과 아날로그 신호인 상기 샘플 앤드 홀더의 출력신호와의 차이를 구해 나머지(residue) 신호를 만들고 이 나머지 신호를 증폭하는 MDAC를 구비하는 것을 특징으로 하는 파이프라인 구조를 갖는 다단 A/D 컨버터.

【청구항 3】

제 2 항에 있어서, 상기 컨버터부는 4 단으로 구성되어 있고, 상기 컨버터부의 상기 제 1 단은 5 비트로 구성된 상기 플래쉬 컨버터와 5 비트로 구성된 상기 MDAC를 갖고, 상기 컨버터부의 상기 제 2 단은 4 비트로 구성된 상기 플래쉬 컨버터와 4 비트로 구성된 상기 MDAC를 갖고, 상기 컨버터부의 상기 제 3 단은 3 비트로 구성된 상기 플래쉬 컨버터와 3 비트로 구성된 상기 MDAC를 갖고, 제 4 단은 3 비트로 구성된 상기 플래쉬 컨버터를 갖고, 상기 제 2 단에는 상기 제 1 단에서 발생한 에러를 보정하기 위한 에러보정 비트를 두고 전체 14 비트의 디지털 데이터를 발생시키는 것을 특징으로 하는 파이프라인 구조를 갖는 다단 A/D 컨버터.

【청구항 4】

제 3 항에 있어서, 상기 제 1 단과 상기 제 2 단의 MDAC의 이득은 16이고, 상기 제 3 단의 MDAC의 이득은 8인 것을 특징으로 하는 파이프라인 구조를 갖는 다단 A/D 컨버터.

【청구항 5】

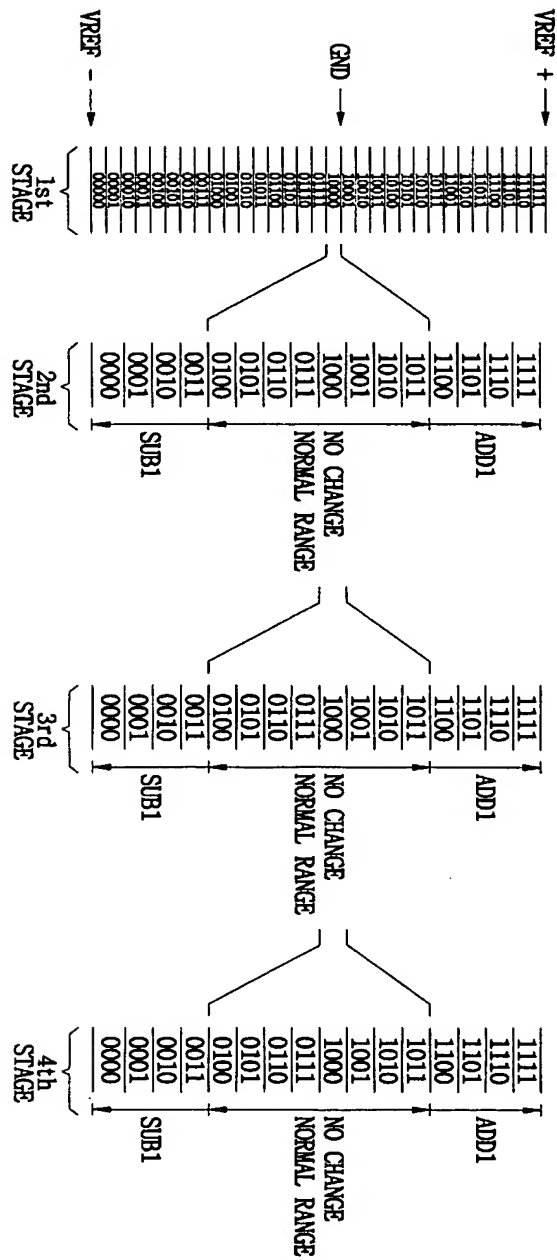
아날로그 입력신호를 수신하여 샘플링하고 홀딩하는 샘플 앤드 홀더와 복수의 단으로 구성되고 상기 샘플 앤드 홀더의 출력을 수신하고 원하는 수의 비트를 갖는 디지털 데이터를 발생시키는 컨버터부와 전 단에서 오프셋 에러가 발생했을 때 전 단의 최하위 비트와 후 단의 최상위 비트를 중첩하여 보정하고 상기 컨버터부의 각 단으로부터 디지털 출력신호를 수신하여 디지털 출력 데이터를 출력하는 보정회로로 구성된 파이프라인 구조를 갖는 다단 A/D 컨버터에 있어서,



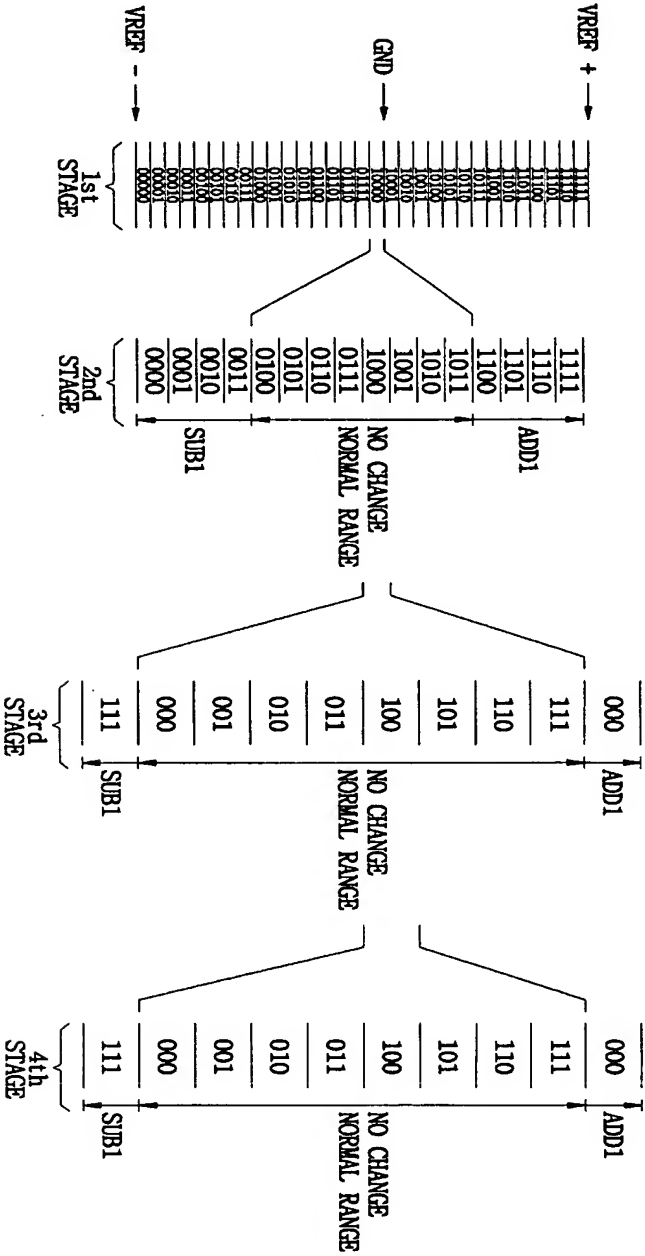
상기 컨버터부의 제 2 단에는 제 1 단에서 발생한 에러를 보정하기 위한 에러보정 비트를 두고 제 3 단 이하에서는 에러보정 비트를 두지 않는 것을 특징으로 하는 파이프 라인 구조를 갖는 다단 A/D 컨버터를 설계하기 위한 코딩 방법.

【도면】

【도 1】



【도 2】



【도 3】

